**Perancangan Rangkaian Synchronizer**

Yulvi Hidayati (15/386045/SV/09431)

Laboratorium Elektronika dan Instrumentasi

Departemen Teknik Elektro dan Informatika Sekolah Vokasi

Universitas Gadjah Mada Yogyakarta

Email: hidayatiyulvi@gmail.com

***Abstract*— Dalam system yang di buat penulis pada saat praktikum yaitu suatu rangkaian yang dapat mengasumsikan bahwa ketika push button ditekan maka akan menghasilkan pulsa tunggal yang disinkronkan dengan clock, synchronizer disebut rangkaian synchronizer karena rangkaian ini akan mensinkronasikan antara timing falling clock dan input dari push button. Untuk rangkaian press button syhcronizer output akan bernilai 1 ketika push butoon ditekan dalam rentang waktu 1 clock sehingga hasil output sangat cepat, adapun rangkaian ini dirancang menggunakan metode FSM (*finite state machine*) keluaran-nya bergantung pada masukan dan keluaran sebelumnya**.

*Kata kunci:* Rangkaian *syhncronizer*, Dflip-flop,FSM,*clock*

**1.Latar Belakang**

**F**SM adalah sebuah metodologi perancangan sistem kontrol yang menggambarkan tingkah laku atau prinsip kerja sistem dengan menggunakan tiga hal berikut: *State* (Keadaan), *Event* (kejadian) dan action (aksi). Pada satu saat dalam periode waktu yang cukup signifikan, sistem akan berada pada salah satu *state* yang aktif. Sistem dapat beralih atau bertransisi menuju *state* lain jika mendapatkan masukan atau *event* tertentu, baik yang berasal dari perangkat luar atau komponen dalam sistemnya itu sendiri.

II. METODE PERCOBAAN

1. Alat dan Bahan

* Pc dengan software Altera
* ModelSim-Altera
* FPGA

1. Prosedur Percobaan
2. Membuat rangkaian synchronizer berdasarkan FSM yang terdapat pada modul 6 pada quartus .
3. Mengujikan hasil rangkaian pada FPGA
4. Ketika rangkaian synchronizer berhasil di buat dan di simulasikan ke FPGA dan sesuai dengan sistem yang diinginkan langkah berikutnya membuat symbol ddari rangkaian tersebut.
5. Simbol synchronizer telah berhasil dibuat dan siap digunakan pada rangkaian selanjutnya yang membutuhkan suatu sinkronisasi.
6. Langkah selanjutnya membuat rangkaian counter up down 4 state dari angka 0-3 dengan penampil 7 segment.
7. Rangkaian berdasarkan fsm yang dibuat.
8. Penampil angka 7 segmen menggunakan rangakan bcd memanfaatkan rangkaian praktikum sebelumnya.
9. Rangkaian synchronizer

III. HASIL PERCOBAAN

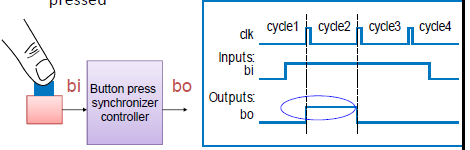
. Hasil percobaan berupa :

* Gambar rangkaian bdf (terlampir)
* Perancangan rangkaian metode FSM (terlampir)

IV. ANALISA

Dalam merancang suatu rangkaian synchronizer diperlukan suatu clock divider untuk membagi frekuensi sinyal masukan clk dari FPGA , clock divider di bentuk dari gabungan berbagai D Flip-flop.

Pada percobaan pertama rangakaian synchronizer button press merupakan suatu contoh dari rangkian sekuensial yang menbaca masukan dari push button hanya 1 siklus clk, jika clock divider yang dipakai menggunakan d flip-flop yang banyak maka semakin banyak frekuensi yang dibagi, sehingga clock nya semakin sempit dan timing diagram nya menjadi semakin cepat , dan oleh karena itu ketika pengujian sistem pada saat push button ditekan output led nyala berkedip dengan cepat karena pada saat waktu ditekan tersebut secara bersamaan input dan clk bekondisi HIGH. (perharikan gambar dibawah)



Gambar 1.timing diagram synchronizer

Kenapa output led nyala berkedip dan hanya sesaat saat ditekan ? karena rangkaian synchronizer hanya untuk 1 siklus (cycle) clk.

Setelah pengujian sistem berhasil rangkaiann synchronier tersebut dapat digunakan kembali pada percobaan kedua sebagai sinkronisasi input dari up dan down rangkaian counter up dan down . untuk mendapatkan persamaan rangkaian menggunakan metode FSM .( hasil rangkaian terlampir) adapun penampil angkanya menggunakan rangakaian bcd 7 segment.

V. KESIMPULAN

1. Rangkaian synchronizer (sinkronisasi) harus dirancang untuk mengurangi kemungkinan kegagalan sistem. Dengan syarat waktu clock bekerja secepat mungkin

2. metode FSM dapat diterapkan dalam mempermudah merancang suatu sistem rangkaian digital.

3. pentingnya sinkronisasi karena sinyal dalam sistem memiliki logika yang valid hingga perlu adanya sinkronisasi.

VI. REFERENSI

[1] Mareta, Rella .2017. Modul praktikum Elektronika Digital Lanjut. Yogyakarta

[2] Frank Vahid .Digital Design, California, 2007